



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012812
Application Number

출원 년 월 일 : 2003년 02월 28일
Date of Application FEB 28, 2003

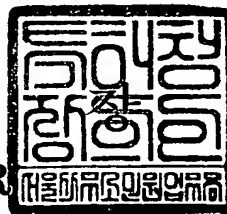
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.28
【국제특허분류】	H01L
【발명의 명칭】	셀 구동 전류가 증가된 상 변화 메모리
【발명의 영문명칭】	Phase-Change memory with increased cell driving current
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이근호
【성명의 영문표기】	LEE,Keun Ho
【주민등록번호】	700216-1408511
【우편번호】	137-074
【주소】	서울특별시 서초구 서초4동 유원아파트 103-1309
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE,Chang Sub
【주민등록번호】	680715-1109521

【우편번호】 441-400
【주소】 경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104-1202
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 12 면 12,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 27 항 973,000 원
【합계】 1,014,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

셀 구동 전류가 증가된 상 변화 메모리가 개시된다. 본 발명에 따른 셀 구동 전류가 증가된 상 변화 메모리는, 셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이를 대응되는 보조 트랜지스터를 이용하여 연결한 것을 특징으로 한다. 상기 보조 트랜지스터는 게이트가 상기 복수개의 셀 트랜지스터들이 연결되는 워드 라인과 동일한 워드 라인에 연결되는 것을 특징으로 한다. 상기 보조 트랜지스터는 동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 한다. 상기 상 변화 메모리는 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 한다. 상기 셀 트랜지스터는 모스(MOS) 트랜지스터이거나 또는 바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 한다. 본 발명에 따른 상 변화 메모리는 모스 트랜지스터를 상 변화 메모리의 셀 트랜지스터로 사용하는데 있어서 문제가 되는 약한 구동 전류를 증가시킬 수 있는 장점이 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

셀 구동 전류가 증가된 상 변화 메모리{Phase-Change memory with increased cell driving current}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 상 변화 메모리 셀 어레이 구조를 나타내는 도면이다.

도 2는 본 발명의 제 1 실시예에 따른 상 변화 메모리 구조를 나타내는 도면이다.

도 3은 본 발명의 제 2 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.

도 4는 본 발명의 제 3 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.

도 5는 도 4의 하나의 셀의 구조를 나타내는 회로도이다.

도 6은 도 4의 상 변화 메모리의 레이아웃(layout) 구조에서 수직 게이트의 형태를 변화시킨 것을 나타내는 도면이다.

도 7은 본 발명의 제 4 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.

도 8(a)는 도 4의 상 변화 메모리의 레이아웃 구조를 나타낸 도면이다.

도 8(b)는 도 4의 상 변화 메모리의 구동 전류의 증가 량 및 종래의 구동 전류의 전류 량을 비교한 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 상 변화(Phase-Change) 메모리에 관한 것으로서, 특히 구동 전류를 증가시킨 상 변화 메모리에 관한 것이다.
- <12> 상 변화 메모리(Phase-Change memory)는 물질의 결정 상태에 따라 전기적 저항이 변하는 chalcogenide 라는 물질을 이용하는 메모리 소자이다. 상 변화막으로 인가되는 전류의 양의 차이에 의하여 상 변화막 일부의 결정 상태가 변화된다.
- <13> 높은 전류 펄스를 짧은 시간 동안 상 변화막으로 인가하여 상 변화막의 온도를 녹는 온도(melting temperature)(약 610도)까지 높인 후 급속히 냉각하면 상 변화막은 저항이 높은 비정질 상태(리셋 상태)가 된다.
- <14> 반대로 낮은 전류 펄스를 상 변화막으로 인가하여 상 변화막을 결정화 온도(crystallization temperature)(약 610도)로 수십 ns 동안 유지하다가 냉각시키면 상 변화막은 저항이 낮은 결정 상태(셋 상태)가 된다.
- <15> 도 1은 일반적인 상 변화 메모리 셀 어레이 구조를 나타내는 도면이다.
- <16> 메모리 셀은 워드 라인(WL)에 게이트가 연결된 하나의 셀 트랜지스터(CTR)와 셀 트랜지스터(PCC)의 드레인과 비트라인(BL) 사이에 상 변화 셀(PCC)과 저항(R)이 직렬로 연결된 구조

를 가진다. 워드 라인(WL)과 비트라인(BL)이 선택되면 선택된 상 변화 셀로 전류가 인가되어 상 변화 셀의 결정 상태를 변화시킨다.

- <17> 상 변화 메모리는 줄 열(Joule heating)을 상 변화의 열원으로 사용하고 있다. 따라서 다른 메모리 소자에 비하여 큰 전류 구동 능력을 가지는 셀 트랜지스터가 필요하다.
- <18> 그래서 상 변화 메모리용 셀 트랜지스터로서 바이폴라(bipolar) 트랜지스터를 이용하는 방안이 그동안 많이 제안되어 왔다. 또한 최근 발표에서는 BiCMOS 공정을 사용하여 제어 회로는 CMOS 트랜지스터를 이용하고, 셀 트랜지스터는 바이폴라(bipolar) 트랜지스터를 사용한 구조가 제안된 바 있다.
- <19> 그러나, BiCMOS 공정은 CMOS 공정에 비하여 제조 공정 및 회로 설계가 복잡하고 공정 제어가 어렵다는 단점이 있다. 반면, CMOS 공정을 상 변화 메모리 소자의 제조에 적용할 경우, CMOS 공정은 간단한 회로 설계 및 용이한 제조 공정 등의 많은 장점을 가진다.
- <20> 현재의 CMOS 공정 기술을 상 변화 메모리 소자의 제조에 적용하는데 있어 가장 어려운 문제점은 상 변화 셀을 녹는(melting) 온도 이상의 고온으로 가열하는데 높은 기입(write) 전류가 필요하다는 점이다.
- <21> 높은 기입(write) 전류를 상 변화 셀로 흘리기 위하여 큰 폭(width)의 트랜지스터가 필요하다. 그러나 큰 폭(width)의 트랜지스터는 상 변화 메모리의 면적을 증가시킨다.
- <22> 한편, 공정 기술의 미세화에 따라 chalcogenide 물질과 경계를 이루는 연결전극의 면적이 줄어들고, 이에 따라 요구되는 기입(write) 전류의 크기도 줄어들고 있다.

<23> 그러나 바이폴라(bipolar) 트랜지스터에 비하여 크게 떨어지는 모스(MOS) 트랜지스터의 전류 구동 능력의 한계로 인하여 높은 기입(write) 전류는 여전히 CMOS 공정을 상 변화 메모리의 제조에 적용하는 데 있어 가장 큰 문제 중의 하나이다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자하는 기술적 과제는 상 변화 메모리의 셀 트랜지스터로서 모스 트랜지스터를 사용하면서도 셀 구동 전류를 증가시킨 상 변화 메모리를 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리는, 셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이를 대응되는 보조 트랜지스터를 이용하여 연결한 것을 특징으로 한다.

<26> 상기 보조 트랜지스터는 게이트가 상기 복수개의 셀 트랜지스터들이 연결되는 워드 라인과 동일한 워드 라인에 연결되는 것을 특징으로 한다. 상기 보조 트랜지스터는 동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 한다.

<27> 상기 상 변화 메모리는 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 한다. 상기 셀 트랜지스터는 모스(MOS) 트랜지스터이거나 또는 바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 한다.

- <28> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리는 셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(vertical gate)가 배치되고, 상기 수직 게이트는 상기 워드 라인과 동일한 층(layer)에 배치되며 상기 워드 라인에 연결되는 것을 특징으로 한다.
- <29> 상기 수직 게이트는 동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 한다.
- <30> 상기 상 변화 메모리는 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 한다.
- <31> 상기 셀 트랜지스터는 모스(MOS) 트랜지스터이거나 또는 바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 한다.
- <32> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리는, 워드 라인 쌍과 상기 워드 라인 쌍 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 및 상기 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(vertical gate)가 배치되고, 상기 수직 게이트는 상기 워드 라인 쌍과 동일한 층(layer)에 배치되며 상기 워드 라인 쌍을 연결하는 것을 특징으로 한다.

- <33> 상기 수직 게이트는 동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 한다. 상 변화 메모리는 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 한다.
- <34> 상기 메모리 어레이는 상기 워드 라인 쌍 중 하나의 워드 라인은 로우(row) 메모리 어레이 블록들 사이에 배치되는 것을 특징으로 한다. 상기 메모리 어레이는 각 로우(row) 메모리 어레이 블록들이 워드 라인에 의해서 분리되는 것을 특징으로 한다.
- <35> 상기 메모리 어레이는 STI(Shallow Trench Isolation) 구조를 가지지 아니하는 것을 특징으로 한다. 상기 수직 게이트(vertical gate)는 상기 워드 라인 쌍 사이에 대각선 형태로 배치되며, 상기 워드 라인 쌍을 연결하는 것을 특징으로 한다.
- <36> 상기 셀 트랜지스터는 모스(MOS) 트랜지스터이거나 또는 바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 한다.
- <37> 상기 기술적 과제를 달성하기 위한 본 발명의 제 4 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리는, 워드 라인 쌍, 상기 워드 라인 쌍 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 및 상기 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 상기 워드 라인 쌍은 한 쪽 끝단이 수직 게이트(vertical gate)에 의하여 연결되고, 상기 수직 게이트는 상기 워드 라인 쌍과 과 동일한 층(layer)에 배치되는 것을 특징으로 한다.

- <38> 상 변화 메모리는 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 한다.
- <39> 상기 메모리 어레이는 상기 워드 라인 쌍 중 하나의 워드 라인은 로우(row) 메모리 어레이 블록들 사이에 배치되는 것을 특징으로 한다. 상기 메모리 어레이는 각 로우(row) 메모리 어레이 블록들이 워드 라인에 의해서 분리되는 것을 특징으로 한다.
- <40> 상기 메모리 어레이는 각 컬럼(column) 메모리 어레이 블록들이 STI(Shallow Trench Isolation)에 의해서 분리되는 것을 특징으로 한다. 상기 셀 트랜지스터는 모스(MOS) 트랜지스터이거나 또는 바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 한다.
- <41> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <42> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <43> 도 2는 본 발명의 제 1 실시예에 따른 상 변화 메모리 구조를 나타내는 도면이다.
- <44> 도 2를 참조하면, 본 발명의 제 1 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리 (200)는, 셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀(PCC) 및 저항(R)이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들(MCTR1 ~ MCTRN) 사이를 대응되는 보조 트랜지스터(AXTR1 ~ AXTRN)를 이용하여 연결한다.

- <45> 여기서, 셀 트랜지스터(MCTR1 ~ MCTRN)는 모스(MOS) 트랜지스터이다. 그러나 바이폴라 정션(Bipolar junction) 트랜지스터일 수도 있다.
- <46> 도 1의 종래의 상 변화 메모리(100)의 구조와 본 발명의 상 변화 메모리(200) 구조의 차이는 동일한 워드 라인에 게이트가 연결된 셀 트랜지스터들(MCTR1 ~ MCTRN)의 드레인과 드레인 사이를 보조 트랜지스터(AXTR1 ~ AXTRN)를 이용하여 연결한다는 점이다.
- <47> 보조 트랜지스터(AXTR1 ~ AXTRN)는 게이트가 복수개의 셀 트랜지스터들이 연결되는 워드 라인과 동일한 워드 라인에 연결된다.
- <48> 도 2를 참조하여 동작을 설명한다. 복수개의 워드 라인들 중 동작시키고자 하는 워드 라인이 선택된다고 가정한다. 선택된 워드 라인으로 전원 전압(VCC1)이 인가되고 나머지 워드 라인은 접지(GND)된다.
- <49> 마찬가지로 복수개의 비트 라인들 중 동작시키고자하는 비트 라인만이 선택된다고 가정한다. 선택된 비트 라인으로 전원 전압(VCC2)이 인가되고 나머지 비트 라인은 플로우팅(floating) 상태로 된다.
- <50> 선택된 워드라인에 연결된 셀 트랜지스터들(MCTR1 ~ MCTRN)은 턴 온 되고 또한 선택된 워드 라인에 연결된 보조 트랜지스터들(AXTR1 ~ AXTRN)도 턴 온 된다. 그리고, 선택된 비트라인에 연결된 상 변화 셀에 전류가 흐른다.
- <51> 이 경우, 종래에 비하여 상 변화 셀에 연결되어 턴 온 된 셀 트랜지스터들(MCTR1 ~ MCTRN)의 수가 증가되므로 상 변화 셀에 흐르는 전류의 양이 증가된다.

- <52> 보조 트랜지스터(AXTR1 ~ AXTRN)를 배치함으로써 하나의 상 변화 셀을 구동시키는 전류를 증가시킬 수 있다. 보조 트랜지스터(AXTR1 ~ AXTRN)는 하나의 셀 트랜지스터와 인접한 셀 트랜지스터 사이의 STI(Shallow Trench Isolation)에 배치된다.
- <53> 종래의 상 변화 메모리(100)의 셀 트랜지스터들 사이는 STI에 의하여 분리된다. 그러나 본 발명에서는 STI의 위치에 보조 트랜지스터들(AXTR1 ~ AXTRN)을 배치함으로써 보조 트랜지스터들(AXTR1 ~ AXTRN)에 의한 면적 증가를 억제한다.
- <54> 상 변화 메모리(200)는 복수개의 셀 트랜지스터들(MCTR1 ~ MCTRN)의 게이트에 공통으로 연결되는 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터(DCTR)를 구비한다.
- <55> 도 2와 같이 보조 트랜지스터(AXTR1 ~ AXTRN)를 구비하는 상 변화 메모리(200) 구조에서, 셀 트랜지스터의 위치에 따른 구동 전류의 분포가 중요하다. 구동 전류의 증가는 주로 서로 인접한 셀 트랜지스터의 드레인에 의하여 이루어지므로, 동일한 워드 라인에 게이트가 연결된 셀 트랜지스터들(MCTR1 ~ MCTRN) 중 최 외각 셀 트랜지스터(MCTR1, MCTRN)의 옆에 더미 셀 트랜지스터(DCTR)를 배치한다.
- <56> 그러면 최 외각 셀 트랜지스터(MCTR1, MCTRN)에 의해서 증가되는 구동 전류의 양이 안쪽의 셀 트랜지스터들(MCTR2 ~ MCTRN-1)에 의해서 증가되는 구동 전류의 양과 동일하게 된다.
- <57> 도 3은 본 발명의 제 2 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.
- <58> 도 3을 참조하면, 본 발명의 제 2 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리(300)는 셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는

상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(vertical gate)(VGATE)가 배치되고, 수직 게이트(VGATE)는 워드 라인(WL)과 동일한 층(layer)에 배치되며 워드 라인(WL)에 연결된다.

<59> 수직 게이트(VGATE)는 도 2의 보조 트랜지스터와 동일한 기능을 한다. 도 3에서 PCELL로 표시된 부분은 상 변화 셀과 저항을 구비하는 하나의 셀을 나타내고, 도 3에서 워드라인(WL)으로 표시된 부분은 워드라인과 셀 트랜지스터의 게이트가 연결된 레이아웃을 나타낸다.

<60> 수직 게이트(VGATE)는 보조 트랜지스터(AXTR1 ~ AXTRN)의 게이트가 워드 라인에 연결된 것을 나타내며 수직 게이트(VGATE)는 셀 트랜지스터들의 드레인 사이에 배치된다.

<61> 수직 게이트(VGATE)와 워드라인이 연결되어 있으므로, 워드 라인이 빗(comb) 모양이라고 설명할 수도 있다. 하나의 액티브(ACTIVE)에는 복수개의 셀(PCELL)들이 배치되고, 셀들에 연결된 셀 트랜지스터의 드레인들은 수직 게이트(VGATE)에 의해서 분리되며 수직 게이트(VGATE) 자체가 보조 트랜지스터의 기능을 하는 것이다.

<62> 도 3의 구조에서, 워드라인을 공유하는 셀(PCELL)들 사이에는 종래의 STI와 같은 영역이 존재하지 않는다. 즉, 종래의 STI 영역에 수직 게이트(VGATE)가 배치되어 면적의 증가가 억제된다.

<63> 도 2의 회로(200)에 대한 설명에서와 마찬가지로, 워드 라인(WL)의 양쪽 끝에 더미(dummy) 셀 트랜지스터(DCTR)를 구비한다. 이는 전류의 고른 분포를 위한 것이다.

<64> 수직 게이트(VGATE)를 배치함에 의하여 증가된 구동 전류의 양을 설명한다. 구동 전류는 하나의 셀(PCELL)에서 직접 연결된 셀 트랜지스터로 흐르는 구동 전류(1)와 인접한 보조 트랜

지스터들, 즉 인접한 수직 게이트(VGATE)에 의해서 연결된 인접한 셀 트랜지스터로 흐르는 구동 전류(2,3)로 구분할 수 있다.

<65> 구동 전류(2,3)은 각각 구동 전류(1)의 전류 량의 절반정도가 될 것이다. 따라서 본 발명의 구동 전류의 증가량은 종래의 상 변화 메모리 구조에 비하여 2배정도가 될 것이다.

<66> 물론, 구동 전류의 증가치는 보조 트랜지스터, 즉 수직 게이트의 폭(width)과 길이(length)에 따라 결정될 것이므로 2배의 증가는 가변적인 것이다.

<67> 하나의 액티브(ACTIVE)에는 두 개의 워드 라인이 존재하며 두 개의 워드 라인을 각각 공유하는 셀들은 접지 전압(VSS) 영역을 공유한다. 하나의 액티브(ACTIVE)와 다른 액티브사이에는 STI에 의하여 분리된다.

<68> 도 4는 본 발명의 제 3 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.

<69> 도 5는 도 4의 하나의 셀의 구조를 나타내는 회로도이다.

<70> 도 4 및 도 5를 참조하면, 본 발명의 제 3 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리(400)는, 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33)과 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33) 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 및 상기 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(VGATE)가 배치되고, 수직 게이트(VGATE)는 상기 워드 라인 쌍과 동일한 층(layer)에 배치되며 상기 워드 라인 쌍을 연결한다.

- <71> 도 4의 상 변화 메모리 구조(400)는 워드라인이 이중 게이트 구조로 이루어져있다. 그리고, 대응되는 워드라인 쌍을 수직 게이트(VGATE)를 이용하여 연결한다. 따라서 전체적인 워드라인 구조는 사다리(ladder) 형태라고 할 수 있다.
- <72> 도 4의 상 변화 메모리 어레이(400)는 STI(Shallow Trench Isolation) 구조를 가지지 아니한다. 동일한 워드 라인에 연결된 셀 들은 수직 게이트에 의하여 분리되며 수직 게이트(VGATE)는 종래의 셀과 셀 사이의 STI에 배치된다.
- <73> 그리고, 도 4의 메모리 어레이(400)의 각 로우(row) 메모리 어레이 블록들은 워드 라인에 의해서 분리된다. 즉, 서로 다른 워드라인에 연결되어 있는 셀들 간의 분리가 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33) 중 하나의 워드 라인에 의해서 이루어진다.
- <74> 워드라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33) 중 하나의 워드 라인은 서로 다른 워드 라인에 연결되어 있는 셀들 간의 분리를 위하여 종래의 STI 영역에 배치된다.
- <75> 도 4의 상 변화 메모리(400)와 같이 워드라인이 이중 게이트 구조로 이루어진 경우의 장점은 도 5에서 알 수 있듯이, 상 변화 셀(PCC)의 상하에 셀 트랜지스터(MCTR1, MCTR11)를 배치하여 전류 제어를 더 크게 할 수 있으며 보조 트랜지스터(AXTR1, AXTR11), 즉 수직 게이트(VGATE)를 이용한 구동 전류의 증가도 도모할 수 있다는 점이다.
- <76> 상 변화 셀(PCC)에 직접 연결된 셀 트랜지스터들의 수가 도 3의 상 변화 메모리(300)에 비하여 2 배이고, 구동 전류의 양도 도 3의 상 변화 메모리(300)에 비하여 2 배가된다.
- <77> 예를 들어, 제 1 워드 라인 쌍(WL1, WL11)이 선택되는 경우 제 1 워드 라인(WL1)과 대응되는 워드 라인(WL11)에 연결된 셀 트랜지스터들(MCTR1, MCTR11, MCTR2, MCTR22)모두가 턴 온

되고, 또한 제 1 워드 라인(WL1)과 대응되는 워드 라인(WL11)에 연결된 보조 트랜지스터 (AXTR1, AXTR11) 모두가 턴 온 된다.

<78> 만일 제 2 비트라인(BL2)이 선택되면, 제 2 상 변화 셀(PCC2)에 직접 연결된 셀 트랜지스터들(MCTR2, MCTR22)로 흐르는 구동 전류(1, 4)와 인접한 보조 트랜지스터들(AXTR1, AXTR11), 즉 인접한 수직 게이트에 의해서 연결된 인접한 셀 트랜지스터(MCTR1, MCTR11)로 흐르는 구동 전류(2,5) 및 인접한 보조 트랜지스터들(미도시)에 의해서 연결된 인접한 셀 트랜지스터(미도시)로 흐르는 구동 전류(3,6)로 구분할 수 있다.

<79> 구동 전류(1)와 구동 전류(4)의 전류량은 동일할 것이고, 구동 전류(2,5) 및 구동 전류(3,6)는 각각 구동 전류(1)의 전류량의 절반정도가 될 것이다. 따라서 본 발명의 구동 전류의 증가량은 종래의 상 변화 메모리 구조에 비하여 4배정도가 될 것이다. 도 3의 상 변화 메모리(300)의 구동 전류에 비하여 2배정도 증가된 양이다.

<80> 각각의 로우(row) 마다 접지 전압(VSS) 영역이 존재하고, 또한 워드라인이 하나씩 더 증가되었지만 종래의 STI 영역에 증가된 워드라인이 배치됨으로써 전체적인 면적의 증가는 거의 없다.

<81> 상 변화 메모리(400)는 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 워드라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터(DCTR)를 구비한다. 앞서 설명된 바와 같이 더미 셀 트랜지스터(DCTR)는 구동 전류의 분포를 고르게 하기 위한 것이다.

<82> 도 6은 도 4의 상 변화 메모리의 레이아웃(layout) 구조에서 수직 게이트의 형태를 변화시킨 것을 나타내는 도면이다.

- <83> 도 6을 참조하면, 수직 게이트(VGATE)는 워드 라인 쌍 사이에 대각선 형태로 배치되며, 상기 워드 라인 쌍을 연결한다. 수직 게이트(VGATE)가 대각선 형태로 배치되면 수직 게이트(VGATE)의 폭(width)이 증가된다. 따라서 전류 구동 능력이 향상되어 전체적으로 구동 전류의 전류량을 증가시킬 수 있다.
- <84> 도 7은 본 발명의 제 4 실시예에 따른 상 변화 메모리의 레이아웃(layout) 구조를 나타내는 도면이다.
- <85> 도 7을 참조하면, 본 발명의 제 4 실시예에 따른 셀 구동 전류가 증가된 상 변화 메모리(700)는, 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33), 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33) 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 및 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서, 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33)은 한 쪽 끝단이 수직 게이트(VGATE)에 의하여 연결되고, 수직 게이트(VGATE)는 워드 라인 쌍(WL1, WL11, WL2, WL22, WL3, WL33)과 과 동일한 층(layer)에 배치된다.
- <86> 도 7의 상 변화 메모리(700)도 도 4의 상 변화 메모리(400)와 같이 이중 게이트의 워드 라인 구조를 가진다. 다만 도 7의 워드 라인 쌍은 한 쪽 끝단만 수직 게이트(VGATE)에 의하여 연결된다.
- <87> 따라서, 동일한 워드 라인에 연결되는 셀 트랜지스터들 사이가 수직 게이트에 의하여 분리되지 않는다. 대신 종래의 STI 영역에 의하여 분리된다. 즉, 각 칼럼(column) 메모리 어레이 블록들이 STI(Shallow Trench Isolation)에 의해서 분리된다.

- <88> 각 로우(row) 메모리 어레이 블록들은 워드 라인에 의해서 분리된다. 워드 라인 쌍 중 하나의 워드 라인은 로우(row) 메모리 어레이 블록들 사이에 배치된다. 도 4의 상 변화 메모리(400)와 마찬가지로 워드 라인 쌍 중 하나의 워드 라인은 종래의 STI 영역에 배치되므로 면적이 증가되지 않는다.
- <89> 구동 전류의 증가량은 종래의 상 변화 메모리에 비하여 2배 정도가 될 것이다.
- <90> 또한 도 7의 상 변화 메모리(700)는 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비한다.
- <91> 도 7의 상 변화 메모리(700)는 동일한 워드 라인에 연결되는 셀 트랜지스터들 사이가 수직 게이트에 의하여 분리되지 않고 종래의 STI 영역에 의하여 분리된다는 점 이외에는 도 4의 상 변화 메모리(400)와 동일한 구조를 가지므로 상세한 설명은 생략한다.
- <92> 도 8(a)는 도 4의 상 변화 메모리의 레이아웃 구조를 나타낸 도면이다.
- <93> 도 8(b)는 도 4의 상 변화 메모리의 구동 전류의 증가량 및 종래의 구동 전류의 전류량을 비교한 도면이다.
- <94> 도 8(a)를 참조하면, 도 4의 사다리 형태의 워드 라인 구조를 가지는 상 변화 메모리가 (I)로 표시되어 있고, 종래의 상 변화 메모리가 점선 영역의 구조인 (II)로 표시되어 있다.
- <95> 즉, (II) 영역은 하나의 워드 라인만을 구비하며 수직 게이트를 구비하지 않는다. 그러나, (I) 영역은 사다리 형태의 워드라인 쌍을 구비하며 수직 게이트에 의하여 워드라인들이 서로 연결되어 있다.

<96> 도 8(b)는 드레인 전류와 드레인 전압 사이의 전류 특성 곡선을 설명한다. 사다리 형태의 워드라인 구조를 가지는 상 변화 메모리의 구동 전류의 양이 종래의 상 변화 메모리의 구동 전류보다 약 4.5배정도 증가된 것을 알 수 있다. 만일 도 6과 같이 수직 게이트가 대각선 형태로 배치된다면 구동 전류의 증가가 더 커질 것이다.

<97> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<98> 상술한 바와 같이 본 발명에 따른 상 변화 메모리는 모스 트랜지스터를 상 변화 메모리의 셀 트랜지스터로 사용하는데 있어서 문제가 되는 약한 구동 전류를 증가시킬 수 있는 장점이 있다.

【특허청구범위】

【청구항 1】

셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서,

동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이를 대응되는 보조 트랜지스터를 이용하여 연결한 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 2】

제 1항에 있어서, 상기 보조 트랜지스터는,

게이트가 상기 복수개의 셀 트랜지스터들이 연결되는 워드 라인과 동일한 워드 라인에 연결되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 3】

제 1항에 있어서, 상기 보조 트랜지스터는,

동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 4】

제 1항에 있어서,

상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 5】

제 1항에 있어서, 상기 셀 트랜지스터는,

모스(MOS) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 6】

제 1항에 있어서, 상기 셀 트랜지스터는,

바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 7】

셀 트랜지스터의 게이트에 워드 라인이 연결되고 상기 셀 트랜지스터의 드레인과 비트라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서,

동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(vertical gate)가 배치되고,

상기 수직 게이트는 상기 워드 라인과 동일한 층(layer)에 배치되며 상기 워드 라인에 연결되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 8】

제 7항에 있어서, 상기 수직 게이트는,

동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 9】

제 7항에 있어서, 상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 10】

제 7항에 있어서, 상기 셀 트랜지스터는,

모스(MOS) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 11】

제 7항에 있어서, 상기 셀 트랜지스터는,

바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 12】

워드 라인 쌍 ;

상기 워드 라인 쌍 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 ; 및

상기 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서,

동일한 워드 라인에 게이트가 연결된 복수개의 셀 트랜지스터들 사이에 수직 게이트(vertical gate)가 배치되고,

상기 수직 게이트는 상기 워드 라인 쌍과 동일한 층(layer)에 배치되며 상기 워드 라인 쌍을 연결하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 13】

제 12항에 있어서, 상기 수직 게이트는,

동일한 워드 라인에 게이트가 연결되는 상기 복수개의 셀 트랜지스터들의 드레인 사이에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 14】

제 12항에 있어서,

상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 15】

제 12항에 있어서, 상기 메모리 어레이는,

상기 워드 라인 쌍 중 하나의 워드 라인은 로우(row) 메모리 어레이 블록들 사이에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 16】

제 12항에 있어서, 상기 메모리 어레이는,

각 로우(row) 메모리 어레이 블록들이 워드 라인에 의해서 분리되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 17】

제 12항에 있어서, 상기 메모리 어레이는,

STI(Shallow Trench Isolation) 구조를 가지지 아니하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 18】

제 12항에 있어서, 상기 수직 게이트(vertical gate)는,

상기 워드 라인 쌍 사이에 대각선 형태로 배치되며, 상기 워드 라인 쌍을 연결하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 19】

제 12항에 있어서, 상기 셀 트랜지스터는,

모스(MOS) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 20】

제 12항에 있어서, 상기 셀 트랜지스터는,

바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 21】

워드 라인 쌍 ;

상기 워드 라인 쌍 중 대응되는 워드 라인에 각각의 게이트가 연결되는 셀 트랜지스터 쌍 ; 및

상기 셀 트랜지스터 쌍의 각각의 드레인과 비트 라인 사이에 상 변화(phase change) 셀 및 저항이 직렬로 연결되는 셀 구조를 가지는 상 변화 메모리 어레이에 있어서,

상기 워드 라인 쌍은,

한 쪽 끝단이 수직 게이트(vertical gate)에 의하여 연결되고,

상기 수직 게이트는 상기 워드 라인 쌍과 과 동일한 층(layer)에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 22】

제 21항에 있어서,

상기 복수개의 셀 트랜지스터들의 게이트에 공통으로 연결되는 상기 워드 라인의 양쪽 끝에 더미(dummy) 셀 트랜지스터를 구비하는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 23】

제 21항에 있어서, 상기 메모리 어레이는,

상기 워드 라인 쌍 중 하나의 워드 라인은 로우(row) 메모리 어레이 블록들 사이에 배치되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 24】

제 21항에 있어서, 상기 메모리 어레이는,

각 로우(row) 메모리 어레이 블록들이 워드 라인에 의해서 분리되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 25】

제 21항에 있어서, 상기 메모리 어레이는,

각 컬럼(column) 메모리 어레이 블록들이 STI(Shallow Trench Isolation)에 의해서 분리되는 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【청구항 26】

제 21항에 있어서, 상기 셀 트랜지스터는,

모스(MOS) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

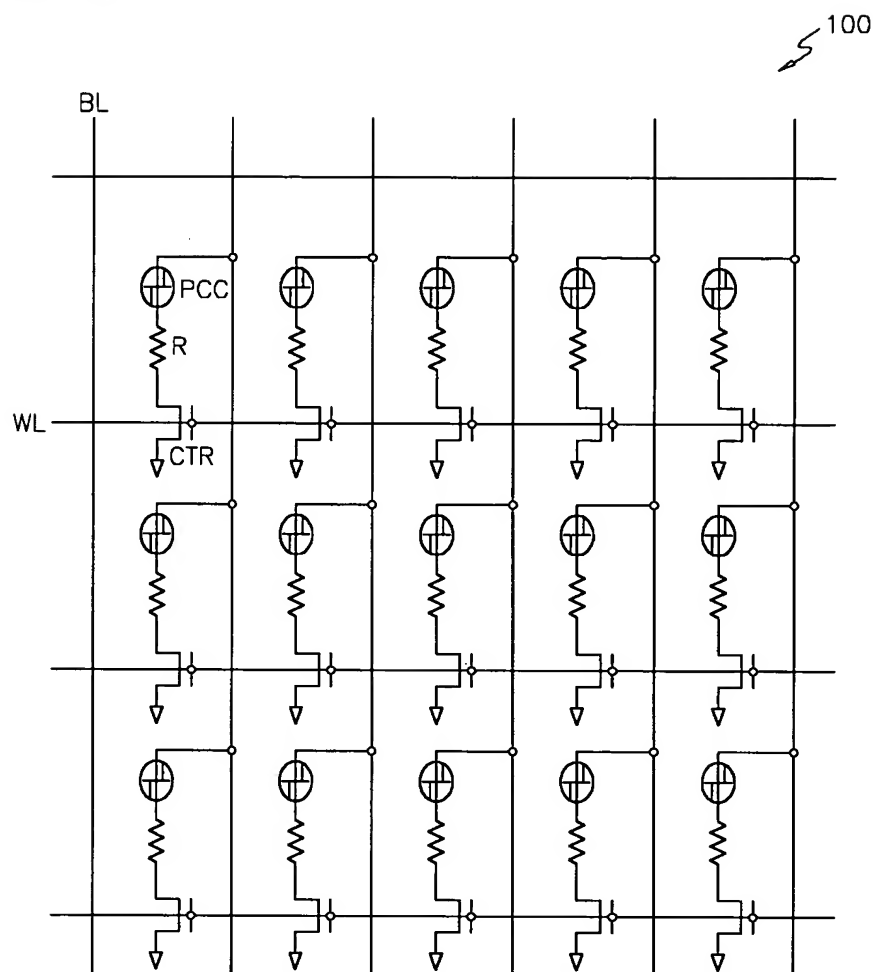
【청구항 27】

제 21항에 있어서, 상기 셀 트랜지스터는,

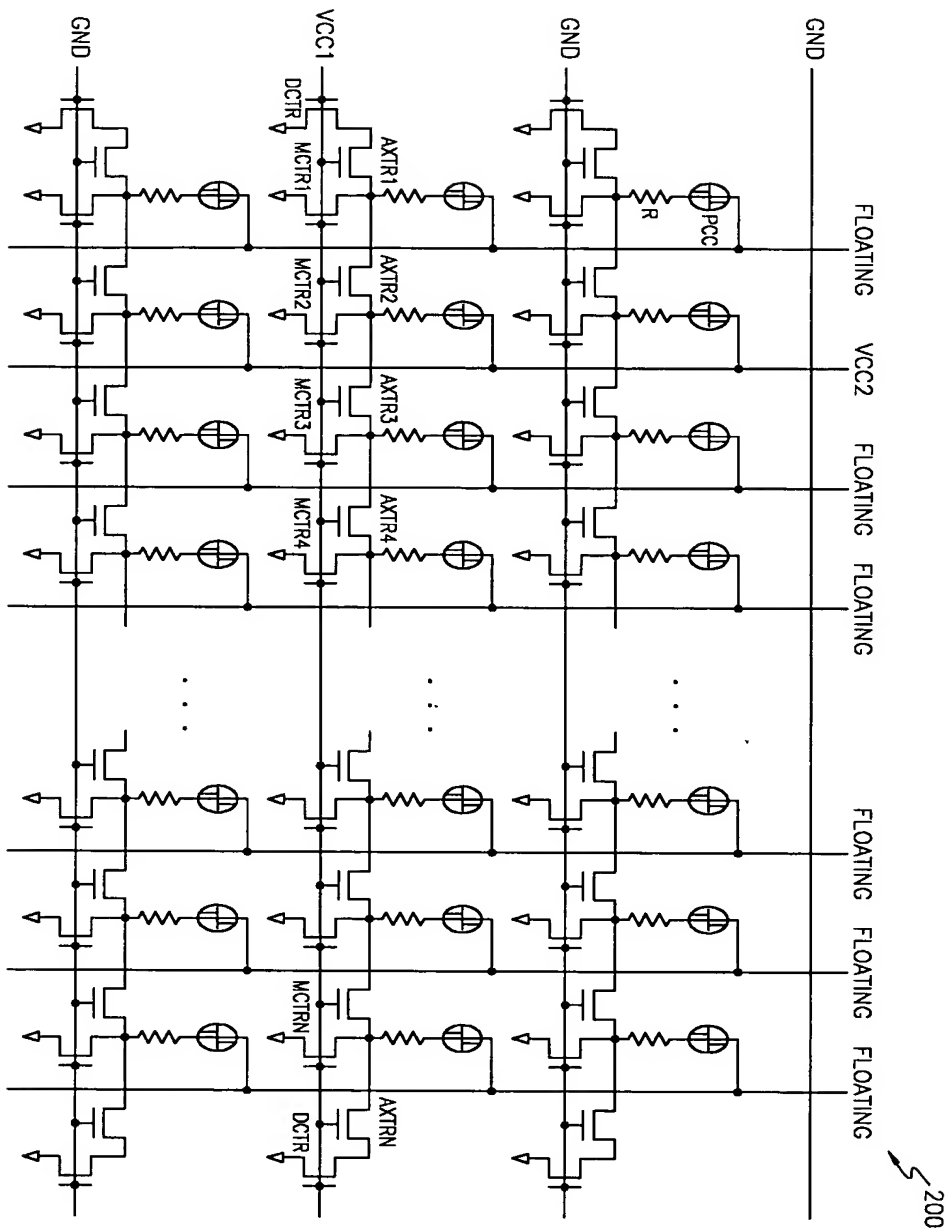
바이폴라 정션(Bipolar junction) 트랜지스터인 것을 특징으로 하는 셀 구동 전류가 증가된 상 변화 메모리.

【도면】

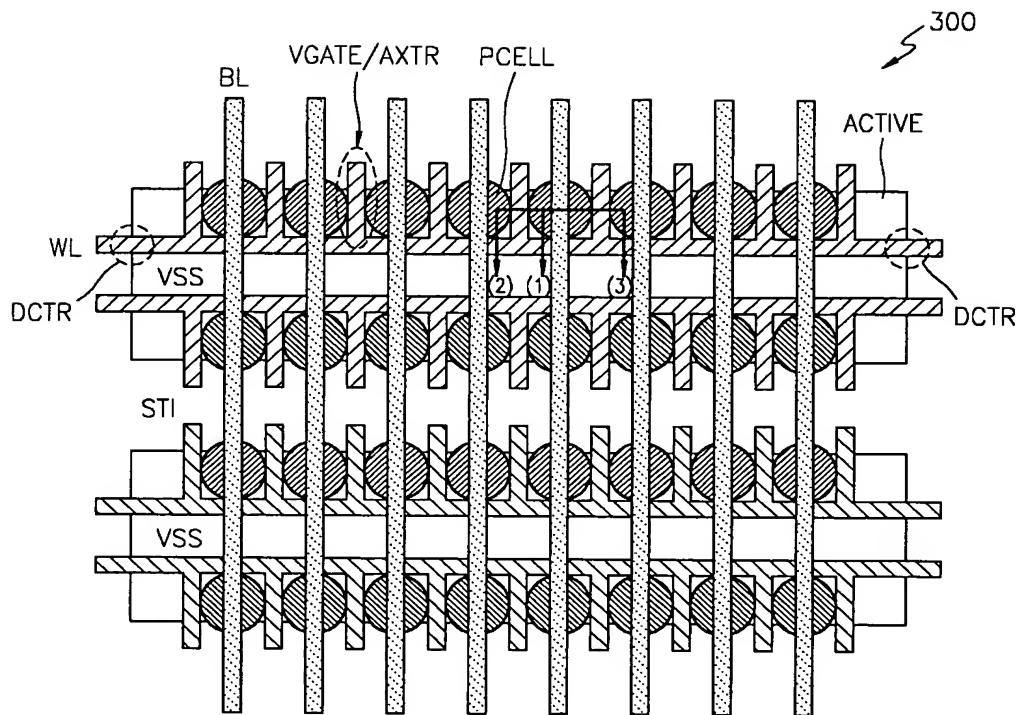
【도 1】



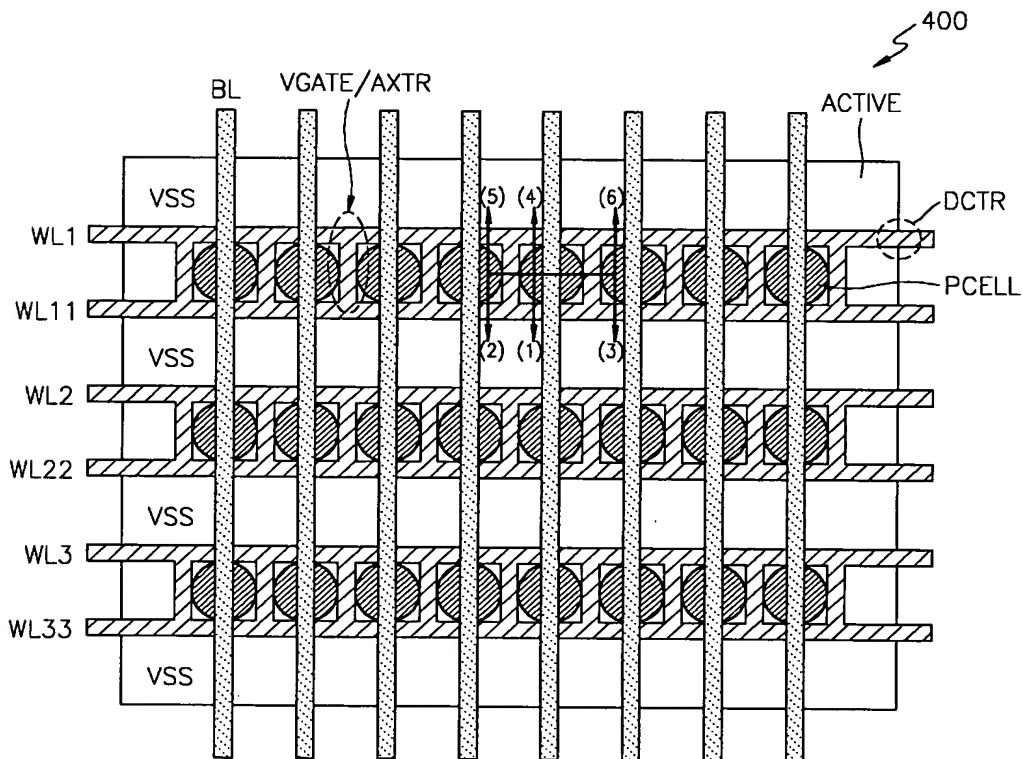
【도 2】



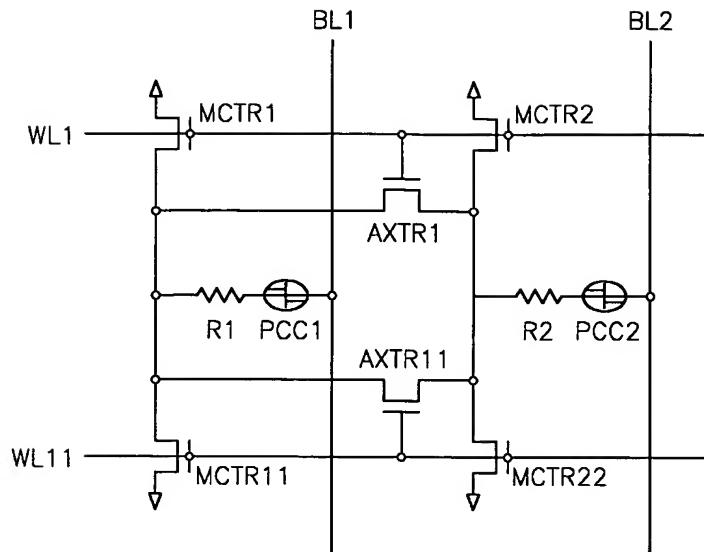
【도 3】



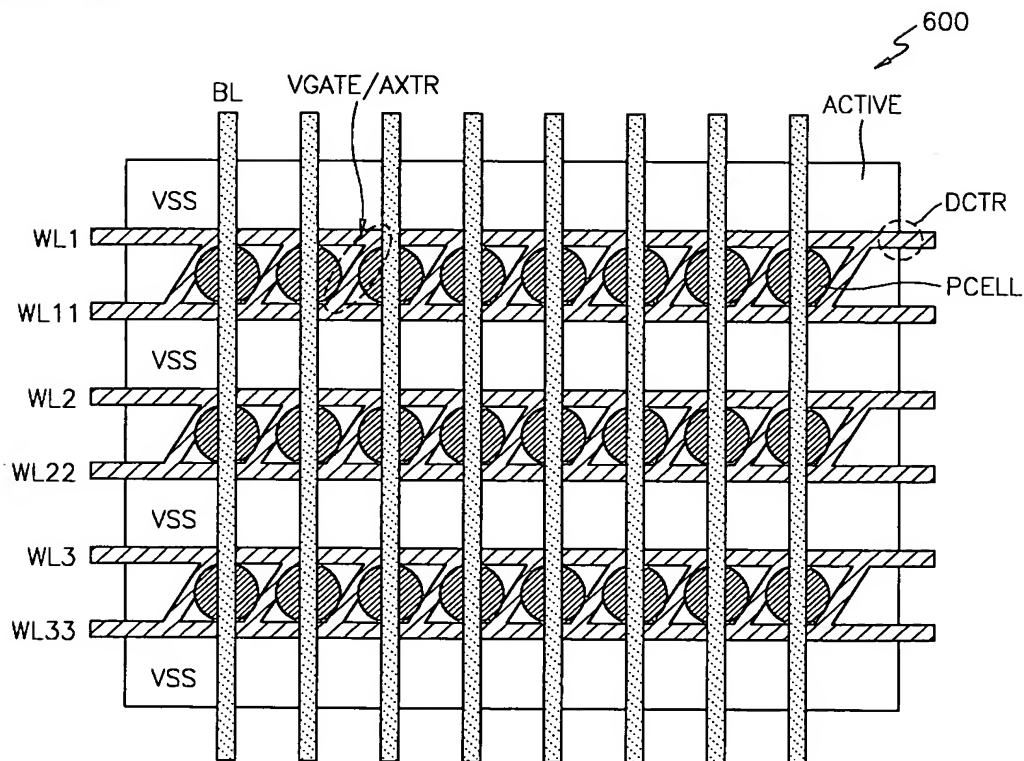
【도 4】



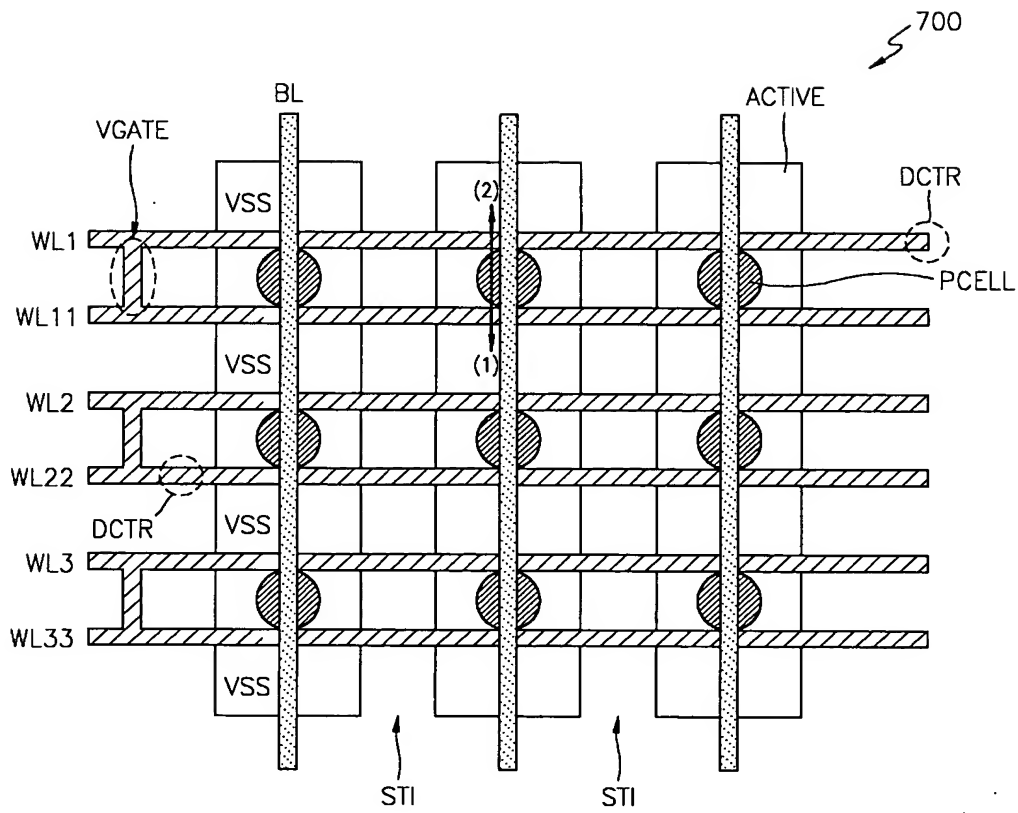
【도 5】



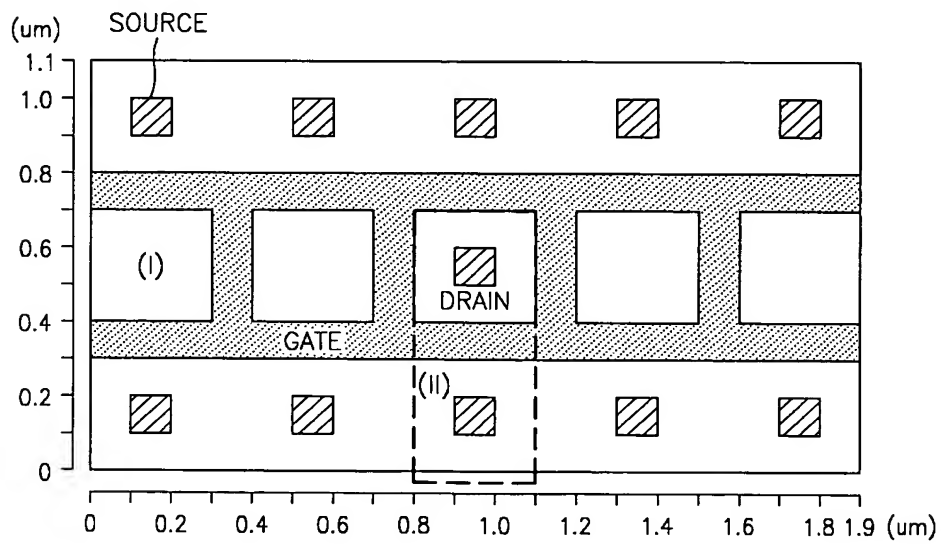
【도 6】



【도 7】



【도 8a】



【도 8b】

